

VỀ MỘT PHƯƠNG PHÁP NÂNG CAO HIỆU NĂNG HỆ XỬ LÝ SONG SONG DỰA TRÊN LÝ THUYẾT HÀNG ĐỢI VÀ CÔNG NGHỆ FPGA

Đỗ Xuân Tiến*
Chu Đức Toàn**

TÓM TẮT

Điều khiển tối ưu không gian nhớ để nâng cao tốc độ cho các hệ xử lý song song là vấn đề rất quan trọng, vừa mang tính khoa học vừa thiết thực, nhiều ngành, nhiều lĩnh vực cần ứng dụng. Một trong những nguyên nhân cơ bản làm giảm hiệu năng của hệ xử lý song song là sự xung đột khi truy cập tới bộ nhớ dùng chung. Bài báo nghiên cứu đề xuất mô hình nhớ dùng chung có bổ sung cơ cấu bộ đệm ở lối vào. Mô hình này cho phép tối ưu bộ nhớ dùng chung bằng phương pháp cấp phát động. Sử dụng công nghệ FPGA dễ dàng tái kiến trúc hàng đợi theo tham số kích thước m để tối ưu hóa cấu trúc bộ nhớ cho lớp bài toán là giải pháp nâng cao hiệu năng, nâng cao tốc độ. Mô hình cho phép sử dụng các bộ nhớ kích thước lớn nhưng tốc độ không tới hạn để nâng cao độ tin cậy cho hệ xử lý song song.

Từ khóa: nâng cao hiệu năng, lý thuyết hàng đợi, công nghệ FPGA, hệ xử lý song song.

ABOUT A METHOD OF RAISING EFFICIENCY OF PARALLEL PROCESING SYSTEM BASING ON QUEUING THEORY AND FPGA TECHNOLOGY

SUMMARY

Optimal control of memory space to raise speed of parallel processing systems is a scientific and practical matter, which is very important in many branches and fields. One of the major factors reducing the efficiency of the parallel processing system is the conflict when accessing to the common memory. The article studies the proposal of the common memory supplemented a buffer structure at the input. This model allows optimizing the common memory by motive supply. Using the FPGA technology is easy to re-build the queuing according to parameter with size m to optimize the structure of memory for problems as the solution of raising the efficiency, raising the speed. The model allows to use the memories with big size but speed is not ultimate to raise the confidence for parallel processing systems.

Keywords: raising efficiency, queuing theory, FPGA technology, paralle processing systems.

1. ĐẶT VẤN ĐỀ

Các hệ xử lý song song thì vấn đề tốc độ và giảm thiểu tối đa xác suất xung đột khi truy cập tài nguyên dùng chung được quan tâm nhiều nhất nhằm đáp ứng các yêu cầu nhiệm vụ của hệ thống, đây cũng là vấn đề được nhiều nhà khoa học quan tâm, nghiên cứu. Với giải pháp trước đây là sử dụng cấu trúc bộ nhớ đan xen bậc thấp theo kiểu kiến trúc S-access hoặc C-access. Tuy nhiên điều đó chỉ giải quyết một

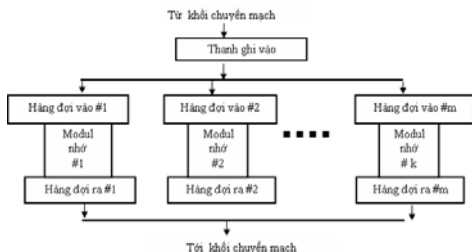
phần xác suất xung đột giữa các bộ xử lý, cần nâng cao khả năng phục vụ của bộ nhớ và giảm thiểu tối đa xác suất xung đột hơn nữa. Bài báo này trình bày việc ứng dụng lý thuyết hàng đợi, quy luật phân bố Markov và công nghệ mới FPGA nhằm giảm thiểu tối đa xác suất xung đột khi truy cập tài nguyên dùng chung, nâng cao hiệu năng, nâng cao tốc độ cho các hệ xử lý song song.

* PGS.TS. Học viện Kỹ thuật Quân sự

** ThS. GV. Trường Đại học Điện lực

2. MÔ HÌNH BỘ NHỚ DÙNG CHUNG

Xét mô hình bộ nhớ dùng chung trong hệ xử lý song song hình 1.



Hình 1. Mô hình bộ nhớ dùng chung

Hiệu năng tham chiếu E ở đây được định nghĩa như tỷ số:

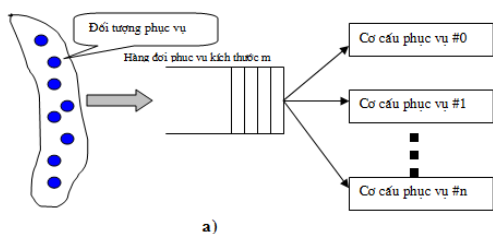
$$E = N_{acc} / N_{acc0}$$

Với N_{acc} -số lượng các tham chiếu thành công tới bộ nhớ dùng chung và

N_{acc0} - tổng số các tham chiếu tới bộ nhớ dùng chung.

Một lập luận đơn giản cho thấy rằng nếu coi xác suất của một tham chiếu thành công là E, thì số lượng các phép thử để bảo đảm một tham chiếu thành công là:

$$\sum_{i=1}^{\infty} i(1 - E)^{i-1} E = \frac{1}{E}$$



Bây giờ ta gọi P là xác suất để thanh ghi tham chiếu ở lỗi vào rồi khi một luồng tham chiếu khởi đầu một tham chiếu tới không gian nhớ. Từ đó ta có biểu thức quan hệ: $\frac{1}{E} = \frac{P}{E_l} + \frac{(1-P)}{E_p}$ (1). Biểu thức hiệu năng này có

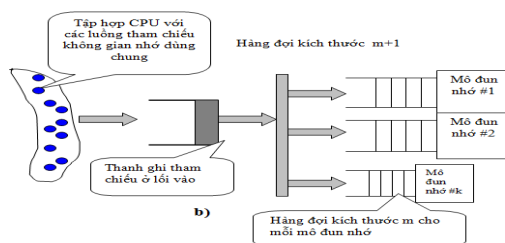
thể viết lại như sau:
$$E = \frac{E_l E_p}{P E_p + (1-P) E_l}$$
 (2).

Trong đó: E là hiệu năng của bộ nhớ song song dùng chung; E_l là hiệu năng của một chiếu ở mức băng logic; E_p là hiệu năng của một tham chiếu khi thanh ghi tham chiếu lỗi vào bận; P là xác suất tại một thời điểm thanh ghi tham chiếu lỗi vào rồi.

Biểu thức (2) là mô hình toán học để xác định hiệu năng E của kiến trúc bộ nhớ dùng chung trong hệ xử lý song song với bộ đệm đóng vai trò hàng đợi ở lối vào và lối ra mô đun nhớ vật lý. Trong mô hình này ta cần xác định 3 đại lượng là xác suất P, hiệu năng E_p và hiệu năng E_l từ đó khảo sát theo mô hình tính hiệu năng với việc cấp phát động tham số kích thước hàng đợi m.

* Xác định đại lượng xác suất P

Để xác định P dựa trên cơ sở của lý thuyết hàng đợi, quá trình tham chiếu tới bộ nhớ dùng chung là quá trình Markov và có phân bố theo luật hàm mũ (M), thời gian phục vụ của bộ nhớ là xác định (D), không gian nhớ phục vụ các tham chiếu bằng 1 và kích thước hàng đợi của mỗi mô đun nhớ bằng m (hình 2b).



Hình 2. Sơ đồ hàng đợi tổng quát (a) và sơ đồ hàng đợi cho hệ xử lý song song (b)

Bằng công thức tính xác suất theo quy tắc M/D/1/m, dễ dàng xác định đại lượng P trong miền tham số quan tâm. Bảng 1 là các giá trị P trong mối quan hệ với kích thước hàng đợi m và ρ (ở đây $\rho = \lambda T_p$, λ là tốc độ tham chiếu

trung bình và T_p là thời gian dịch vụ hàng đợi có hiệu quả).

Bảng 1. Đại lượng xác suất P trong mỗi quan hệ với kích thước hàng đợi m và ρ .

ρ	m=1	m=2	m=3	m=4	m=5	m=6	m=7	m=8
0.1	0.9099	0.9955	0.9999	1.0000	1.0000	1.0000	1.0000	1.0000
0.2	0.8333	0.9820	0.9985	0.9999	1.0000	1.0000	1.0000	1.0000
0.3	0.7694	0.9609	0.9946	0.9993	0.9999	1.0000	1.0000	1.0000
0.4	0.7148	0.9346	0.9863	0.9973	0.9994	0.9999	1.0000	1.0000
0.5	0.6672	0.9043	0.9731	0.9923	0.9978	0.9994	0.9998	0.9999
0.6	0.6253	0.8707	0.9535	0.9826	0.9933	0.9974	0.9990	0.9996
0.7	0.5880	0.8358	0.9279	0.9661	0.9834	0.9917	0.9959	0.9979
0.8	0.5553	0.8005	0.8971	0.9415	0.9648	0.9783	0.9863	0.9912
0.9	0.5262	0.7655	0.8619	0.9089	0.9357	0.9528	0.9646	0.9729
1.0	0.5000	0.7313	0.8240	0.8699	0.8968	0.9144	0.9269	0.9362

* Xác định đại lượng hiệu năng khi các hàng đợi của các môđun nhớ đã đầy E_p : Gọi M là ma trận chuyển đổi trạng thái cho mô hình này (với M_{ij} được hiểu là xác suất mà trạng thái tiếp theo là j , trạng thái hiện tại là i) thì M được biểu diễn như sau:

$$\begin{pmatrix} 1 - qx & qx/t & qx/t & \dots & qx/t & qx/t \\ 1 & 0 & 0 & \dots & 0 & 0 \\ 0 & 1 & 0 & \dots & 0 & 0 \\ 0 & 0 & 1 & \dots & 0 & 0 \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & \cdot & \cdot & \cdot \\ 0 & 0 & 0 & \dots & 1 & 0 \end{pmatrix}$$

Xác suất tiên nghiệm của bất kỳ trạng thái nào phải bằng chính tần suất xuất hiện của trạng thái đó. Gọi $p = (p_0, p_1, \dots, p_z, \dots, p_T)$ là vector xác suất tiên nghiệm của $T + 1$ trạng thái và chúng được xác định từ mỗi quan hệ $pM = p$. Ta có:

$$p_0(1 - qx) + p_1 = p_0; \quad p_0qx/T + p_2 = p_1; \quad p_0qx/T + p_3 = p_2; \dots \quad p_0qx/T + p_T = p_{T-1}; \quad p_0qx/T = p_T \quad \sum_{i=0}^T p_i = 1$$

Giải hệ phương trình ta được:

$$p_0 = \frac{1}{1 + qx(T + 1)/2};$$

$$p_1 = \frac{qx}{1 + qx(T + 1)/2};$$

$$p_2 = \frac{qx(T - 1)}{T[1 + qx(T + 1)/2]} \dots$$

$$p_{T-1} = \frac{2qx}{T[1 + qx(T + 1)/2]};$$

$$p_T = \frac{qx}{T[1 + qx(T + 1)/2]}$$

Thay p_0 ở trên và giải phương trình ẩn x ta có:

$$x = \frac{\sqrt{1 + 2nq^2T(T + 1)/b} - 1}{q(T + 1)}$$

$$\text{Do đó} \quad p_0 = \frac{2}{1 + \sqrt{1 + 2nq^2T(T + 1)/b}}$$

p_z được tính tương tự.

$$\text{Từ đây ta tính được} \quad E = \frac{qp_0}{qp_0 + (1 - p_0)}$$

$$= \frac{2q}{2q - 1 + \sqrt{1 + 2nq^2T(T + 1)/b}}$$

$$E_B = (q, T, n, b) = \frac{2q}{2q - 1 + \sqrt{1 + 2q^2nT(T + 1)/b}}$$

áp dụng để tính E_p ta chỉ cần thay T bởi T_p :

$$E_p = \frac{2q}{2q - 1 + \sqrt{1 + 2q^2nT_p(T_p + 1)/b}} \quad (3)$$

* Xác định đại lượng hiệu năng khi thanh ghi tham chiếu lỗi vào ở trạng thái rỗi E_i

Để xác định E_1 , ta giả định rằng mỗi luồng tham chiếu sẽ chỉ ở một trong ba trạng thái: trạng thái tự do (i); trạng thái thực hiện tham chiếu thành công (ii); trạng thái thực hiện tham chiếu không thành công (iii). Ta có $(n-1)/2$ luồng tham chiếu có mức ưu tiên cao hơn và mỗi luồng này có thể tham chiếu tới một trong k mô đun nhớ, mỗi mô đun nhớ có hàng đợi kích thước m . Như vậy xác suất để một tham chiếu không thành công sẽ là:

$$\frac{\beta(n-1)}{2km} \text{ do đó}$$

$$\delta = 1 - \frac{\beta(n-1)}{2km} = 1 - \beta\varepsilon \quad (4) \text{ trong đó}$$

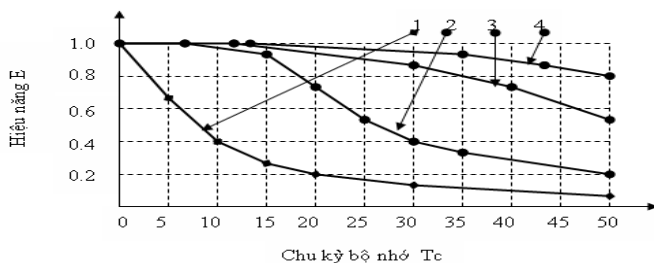
$$\varepsilon = \frac{(n-1)}{2km}$$

Gọi $p = (\alpha, \beta, \gamma)$ là vector xác suất tiên nghiệm của ba trạng thái. Các xác suất ổn định này có thể được xác định qua mối quan hệ $p = \Gamma p$.

Từ quan hệ này ta có:

$$\alpha = (1-q)\alpha + (1-q)\beta = (1-q)(\alpha+\beta) \quad (5)$$

$$\beta = \delta q(\alpha+\beta) + \delta\gamma \quad (6)$$



Hình 3. Hiệu năng E của hệ đa xử lý phụ thuộc vào tốc độ bộ nhớ T_c và kích thước hàng đợi

Hình 3 biểu diễn hiệu năng của hệ đa xử lý như một hàm của chu kỳ bộ nhớ. Đường cong 1 chỉ ra trường hợp bộ nhớ không có hàng đợi ở lối vào ($m = 0$) phục vụ cho việc so sánh với các trường hợp khi hệ thống có kiến trúc hàng đợi với $m = 2$ (đường cong 2), $m = 3$ (đường cong 3), $m = 4$ (đường cong 4). Rõ ràng là m càng tăng hiệu năng E càng ít phụ thuộc vào tốc độ

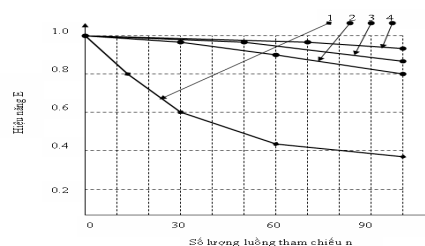
$$\gamma = (1-\delta)(q\alpha+q\beta+\gamma) \quad (7)$$

Sau khi biến đổi ta được kết quả:

$$E_1 = \delta = \frac{1-2q-q\varepsilon + \sqrt{(1-2q-q\varepsilon)^2 + 4q(1-q)}}{2(1-q)} \quad (8)$$

3. KHẢO SÁT THEO MÔ HÌNH TÍNH HIỆU NĂNG VỚI VIỆC CẤP PHÁT ĐỘNG THAM SỐ KÍCH THƯỚC HÀNG ĐỢI m

Sử dụng phương pháp tái cấu hình của công trình [2] bằng công nghệ FPGA để thay đổi kích thước hàng đợi m , tức thay đổi cách nối mạch của bộ nhớ FIFO (First In First Out) cho phép cấp phát động tài nguyên phần cứng của hệ thống một cách tương đối dễ dàng, cụ thể trong trường hợp này là cấp phát động kích thước hàng đợi m của bộ nhớ dùng chung trong hệ đa xử lý. Bây giờ ta sẽ khảo sát hiệu năng E theo biểu thức (2) cho miền tham số cần quan tâm, cụ thể P được tính trong khoảng biến thiên của m từ 1 tới 8, E_p được tính theo công thức (3) còn E_1 được tính theo công thức (8), ta sẽ có một loạt các đồ thị quan hệ, trong đó đáng chú ý là các đồ thị sau:



Hình 4. Hiệu năng E của hệ đa xử lý phụ thuộc vào số lượng luồng tham chiếu và kích thước hàng đợi

bộ nhớ nghĩa là có thể sử dụng được các bộ nhớ tốc độ thấp cho hệ đa xử lý hiệu năng cao. Mặt khác nếu sử dụng công nghệ FPGA [2] để tái kiến trúc lại hàng đợi theo tham số kích thước m để tối ưu hóa cấu trúc bộ nhớ theo lớp bài toán thì hệ đa xử lý sẽ vừa có hiệu năng cao lại vừa có độ tin cậy cao. Đó chính là mục tiêu của bài toán tổng hợp các hệ vi xử lý chức năng.

Hình 4 biểu diễn hiệu năng của hệ đa xử lý như một hàm của của số lượng luồng tham chiếu. Đường cong 1 chỉ ra trường hợp bộ nhớ không có hàng đợi ở lõi vào ($m = 0$) phục vụ cho việc so sánh với các trường hợp khi hệ thống có kiến trúc hàng đợi với $m = 2$ (đường cong 2), $m = 3$ (đường cong 3), $m = 4$ (đường cong 4). Rõ ràng là m càng tăng hiệu năng E càng ít phụ thuộc vào số lượng luồng tham chiếu nghĩa là có thể tăng số lượng các CPU lên cho hệ đa xử lý để giải quyết các bài toán số lớn như các bài toán có cơ sở dữ liệu lớn nhưng có hệ số phân rã cao (tuyến tính hoặc cận tuyến tính).

4. KẾT LUẬN

Hiệu năng của hệ đa xử lý như một hàm của chu kỳ bộ nhớ và chỉ ra kích thước hàng đợi m càng tăng thì hiệu năng E càng ít phụ thuộc

vào tốc độ bộ nhớ. Hệ thức này cũng cho phép biểu diễn được hiệu năng của hệ đa xử lý như một hàm của số lượng luồng tham chiếu từ phía các CPU có trong hệ và chỉ ra rằng kích thước hàng đợi m càng tăng hiệu năng E càng ít phụ thuộc vào số lượng luồng tham chiếu, nghĩa là có thể tăng số lượng các CPU lên cho hệ đa xử lý để giải quyết các bài toán số lớn như các bài toán có cơ sở dữ liệu lớn nhưng có hệ số phân rã cao. Nếu sử dụng công nghệ FPGA sẽ dễ dàng tái kiến trúc hàng đợi theo tham số kích thước m để tối ưu hóa cấu trúc bộ nhớ theo lớp bài toán thì hệ đa xử lý sẽ vừa có hiệu năng cao lại vừa có độ tin cậy cao. Đó chính là mục tiêu của bài toán tổng hợp các hệ vi xử lý song song chức năng. (Phần ứng dụng công nghệ FPGA sẽ được trình bày cụ thể rõ hơn trong số tới).

TÀI LIỆU THAM KHẢO

- [1]. Nguyễn Minh Ngọc, Đỗ Xuân Tiến, Vũ Hoàng Gia. *Về Thông lượng trung bình của hệ lưu trữ song song*. Tạp chí Khoa học và Kỹ thuật, HVKTQS số 115, II-2006.
- [2]. Ken Mai, Ron Ho, Elad Alon, Dean Liu, Younggon Kim, Dinesh Patil, Mark Horowitz Architecture and Circuit Techniques for a Reconfigurable Memory Block. 0-7803-8267-6/04 2004 IEEE 2004. IEEE International Solid-State Circuits Conference.
- [3]. Andreas Willig .A Short Introduction to Queueing Theory. Technical University Berlin, Telecommunication Networks Group. Sekr. FT 5-2, Einsteinufer 25, 10587 Berlin. email: awillig@ee.tu-berlin.de July 21, 1999.
- [4]. Randolph Nelson. Probability, stochastic processes, and queueing theory. The Mathematics of Computer Performance Modeling 2000.
- [5]. M. V. Wilkes. Slave memories and dynamic storage allocation. IEEE Transactions on Electronic Computers Vol EC-14. No 2 April 2005.
- [6]. Mehdi R. Zargham. Computer Architecture Single and Parallel Systems. Southern Illinois University 2001.
- [7]. Rao, G.S. Performance Analysis of Cache Memories.” Journ. of Assoc. of Comp. Mach., vol. 25. no.3, 1998, pp. 378-397